

PAT-NO: JP361154024A  
DOCUMENT-IDENTIFIER: JP 61154024 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR ELEMENT  
PUBN-DATE: July 12, 1986

INVENTOR-INFORMATION:  
NAME  
KUNIO, TAKEMITSU

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
NEC CORP N/A

APPL-NO: JP59277338

APPL-DATE: December 26, 1984

INT-CL (IPC): H01L021/20, H01L021/268 , H01L027/00

US-CL-CURRENT: 257/E21.134, 438/509 , 438/699 , 438/FOR.243 ,  
438/FOR.388

ABSTRACT:

PURPOSE: To enable the manufacture of the semiconductor element of a substrate for SOI with a photoresist process omitted by making only the par, which is to be a semiconductor element region of a polysilicon film, single crystal by beam annealing and fabricating a semiconductor on the remaining single crystal silicon after removing the polysilicon film which has not been made single crystal by etching.

CONSTITUTION: Only the element region 6 on an SOI substrate (Si substrate 1) is heated by laser beams 5 by using a laser annealing device so as to fuse a polysilicon film 3 of the element region 6 and make it single

crystal. After removing a reflection preventing film 4 by etching, the SOI substrate subjected to laser annealing is immersed in the mixed etching solution and is etched till the polysilicon film 3 is removed. Thus only the element region 7 which has been made single crystal can be left on an  $\text{SiO}_2$  film 2 on an Si substrate 1. Then a semiconductor element is fabricated on the remaining single crystal silicon.

COPYRIGHT: (C)1986, JPO&Japio

## ⑫ 公開特許公報(A)

昭61-154024

⑮ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)7月12日

H 01 L 21/20  
21/268  
27/007739-5F  
6603-5F  
8122-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体素子製造方法

⑰ 特 願 昭59-277338

⑱ 出 願 昭59(1984)12月26日

⑲ 発 明 者 國 尾 武 光 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

## 明細書

## 1. 発明の名称

半導体素子製造方法

## 2. 特許請求の範囲

(1) 絶縁基板上に位置する薄膜シリコン層を用いた半導体素子製造方法において、絶縁基板上に多結晶シリコン膜を形成し、前記多結晶シリコン膜の半導体素子領域となる部分のみをビーム・アニーリングにより単結晶化し、単結晶化されなかった前記多結晶シリコンをエッチング除去し、残された単結晶シリコン上に半導体素子を作製する工程を含むことを特徴とする半導体素子製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、SOI (Silicon On Insulator) 基板用半導体素子製造方法に関するものである。

(従来技術とその問題点)

従来、SOI 基板を用いた半導体素子製造工程において、配線を除いては、各素子間を電氣的に絶縁しており、このため素子領域となるSiのみ

を残し、その他の部分のSiをエッチングにより除去する方法(アイ・イー・イー・イー、エレクトロン・デバイス・レター (IEEE, EDL) 4巻, 1983, 280)又は選択的に酸化する方法(アイ・イー・イー・イー、エレクトロン・デバイス・レター (IEEE, EDL) 4巻, 1983, 73)がとられている。これらの方法では素子領域となるSi上にSiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>又はフォトリソグラフィをパターンニングしたのち、Siのエッチング又は酸化を行うため、フォトリソグラフィマスク又はそのパターン・データをSiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>またはフォトリソグラフィに転写することが必要であった。現在のICプロセスにおいて、フォトリソグラフィ使用等のフォトリソグラフィ工程の増加は、IC製作工程の長期化および歩留り低下を招くため好ましくない。

(発明の目的)

本発明の目的は、従来技術を改良し、フォトリソグラフィ工程を減らしたSOI用基板半導体素子製造方法を提供することにある。

## (発明の構成)

本発明は、絶縁基板上に位置する薄膜シリコン層を用いた半導体素子製造方法において、絶縁基板上に多結晶シリコン膜を形成し、前記多結晶シリコン膜の半導体素子領域となる部分のみをビーム・アニーリングにより単結晶化し、単結晶化されなかった前記多結晶シリコンをエッチング除去し、残された単結晶シリコン上に半導体素子を作製する工程を含むことを特徴としている。

## (実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図および第2図は、一実施例を示す斜視図である。第1図に示すように、Si基板1上にLPCVDにより1 $\mu$ m厚のSiO<sub>2</sub>膜2を形成したのち、LPCVDにより多結晶Si膜3を厚さ6000Å堆積させ、さらに反射防止膜4として、熱酸化により厚さ850ÅのSiO<sub>2</sub>膜を、LPCVDにより厚さ1200ÅのSi<sub>3</sub>N<sub>4</sub>膜を順次形成し、SOI基板を得た。このSOI基板上

Siと多結晶Siのエッチング速度はそれぞれ30Å/sec, 210Å/secであるから、多結晶Siを厚さ約6000Åエッチングする時、単結晶Siは約850Åのみエッチングされて5150Å残る。したがって第2図に示したように、Si基板1上のSiO<sub>2</sub>膜2上に、レーザ・アニールにより単結晶化された素子領域7のみを残すことができる。

その後、この素子領域7上にゲート酸化膜を400Å形成し、さらに多結晶Siによるゲート電極を形成したのち、ソース領域およびドレイン領域をイオン注入により形成し、さらに配線用絶縁膜としてCVDによりSiO<sub>2</sub>を厚さ8000Å形成したのち、ゲート、ソースおよびドレイン用コンタクト・ホールをHFによるウェットエッチングにより開孔し、Alによる配線を施し、MOS型半導体素子が完成する。

なお、本発明にとって半導体素子の構造自体は重要ではないから、図面上での表示は省略している。

の素子領域6のみをレーザ・アニール装置を用いてレーザ光5により加熱し、素子領域6の多結晶Si膜3を溶融し、単結晶化する。ここで使用したレーザ・アニール装置は計算機により制御されており、この計算機には素子領域6がウエハー上のどの位置に存在するかのパターンデータが予め入力されているので、素子領域6のみにレーザ光を照射できる。すなわち、この装置は素子領域パターン直描型レーザ・アニール装置である。なお、現在のレーザ・アニール装置によれば、レーザ光の位置制御はおおよそ0.5 $\mu$ mの誤差で可能であり、また素子領域6の最小寸法は約10 $\mu$ m角程度であるので、現在のICプロセスで要求される精度をもって素子領域6のみを単結晶化する事は可能である。その後、反射防止膜4をエッチング除去したのち、HF:HNO<sub>3</sub>:CH<sub>3</sub>COOH(I<sub>2</sub>含有)=3:40:40の混合比で調合したエッチング液にレーザ・アニールしたSOI基板を浸漬し、多結晶Si膜3が除去されるまでエッチングする。上記エッチング液では、単結晶

以上本発明の一実施例を説明したが、以上の実施例で用いた材質およびその厚み等の数値は一例であり、他の条件でも可能なことは勿論である。また、以上の実施例では、MOS型半導体素子について述べたが、レーザ・アニールをした素子領域のみを選択的に残し、その領域に素子を配置する方法はバイポーラ型半導体素子にも利用可能である事は明らかである。また、絶縁基板としてSi基板上にSiO<sub>2</sub>膜を形成した基板を用いたが、石英基板を絶縁基板として利用することも可能である。また、多結晶Siを溶融、再結晶化させるビーム・アニールの方法として電子線加熱法も利用できることは明らかである。

## (発明の効果)

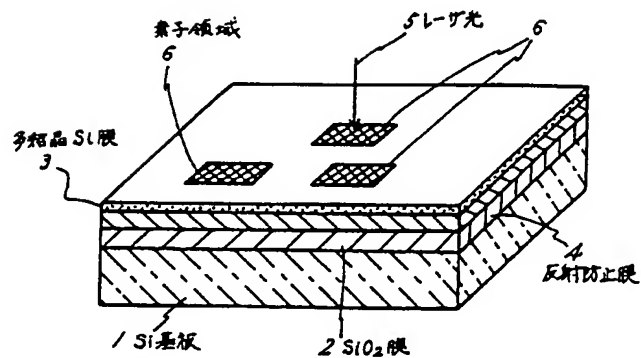
以上説明したように、本発明によればビーム・アニール時に、素子領域のみを単結晶化する、すなわち素子領域をパターンニングする直描方式をとるため、従来の方法のようなリソグラフィ工程が一切不要となる。したがってリソグラフィ工程を省略できるため、製造期間が短縮化し、さらに歩

留りも向上する。

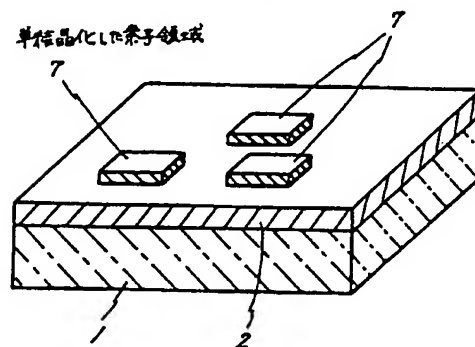
#### 4. 図面の簡単な説明

第1図および第2図は、本発明の一実施例を示す斜視図である。

- 1 . . . . . Si 基板
- 2 . . . . . SiO<sub>2</sub> 膜
- 3 . . . . . 多結晶 Si 膜
- 4 . . . . . 反射防止膜
- 5 . . . . . レーザ光
- 6 . . . . . 素子領域
- 7 . . . . . 単結晶化した素子領域



第 1 図



第 2 図

代理人弁理士

内原

